Altera Device Guide Line

(NOTE: This document is ”Altera Device Guide Line)

Version 1.0

January 2, 2004

by

Altera Korea

Author:	Sung-Chan Oh
System:	
Subsystem:	
Keywords:	Altera, Device

Revision History

Version	Author	Date	Changes
1.0	S.C. Oh	1, Jan, 04	Initial version

Table of Contents:

1. Overview

현재 Altera 내에 다양한 FPGA 및 CPLD 디바이스 제품군들이 있으며 최근에 출시되는 대용량의 FPGA 디바이스들의 경우 I/O 의 숫자도 클뿐더러 하나의 I/O 가 여러 기능을 담당하고 있어 data spec 을 참조하더라도 PCB layout 과 관련하여 여러 형태의 오류가 발생 할 소지가 있어서 이에 대한 정리가 필요하게 됩니다. 한편 configuration 과 같이 누구에 관계없이 모두가 공통적으로 사용하는 기능에 대한 것고 함께 언급하고자 합니다.

2. Device I/O

2.1 Voltage

2.1.1 Core Voltage

Core 전압은 I/O pad 와 PLL 을 제외한 내부 logic element 및 memory 와 같은 기본 cell 들을 동작시키는데 사용되며 일반적으로 같은 반도체 제조 공정을 사용하면 동일한 core 전압을 사용합니다.

	Process	Core Voltage
Stratix / GX	0.13um	1.5v
Cyclone	0.13um	1.5v
APEX20KE	0.18um	1.8v

2.1.2 I/O Voltage

PLD 에서 I/O 전압은 Core 전압과는 달리 사용자가 원하는 전압을 선택할 수 있도록 되어 있습니다. 자세한 값은 아래에서 참고 하십시요.

	I/O Voltage
Stratix / GX	1.5v / 1.8v / 2.5v / 3.3v
Cyclone	1.5v / 1.8v / 2.5v / 3.3v
APEX20KE	1.8v / 2.5v / 3.3v

2.1.3 PLL Voltage

PLL 이 내장되어 있는 디바이스의 경우 생성되는 clock 에 noise 를 방지하기 위하여 VCC_int 나 VCC_io 와는 별개로 전원(GND 포함)을 분리하여 공급하도록 하고 있습니다.

따라서, PLL 을 사용하지 않더라도 반드시 PLL 로 연결되는 전원핀에 아래와 같이 연결해 주셔야 합니다.

그리고, PLL 로만 연결되는 전원도 PLL 내부와 PLL 의 I/O 쪽을 위하여 두개가 존재하며 각각 아래와 같이 연결하시면 됩니다.

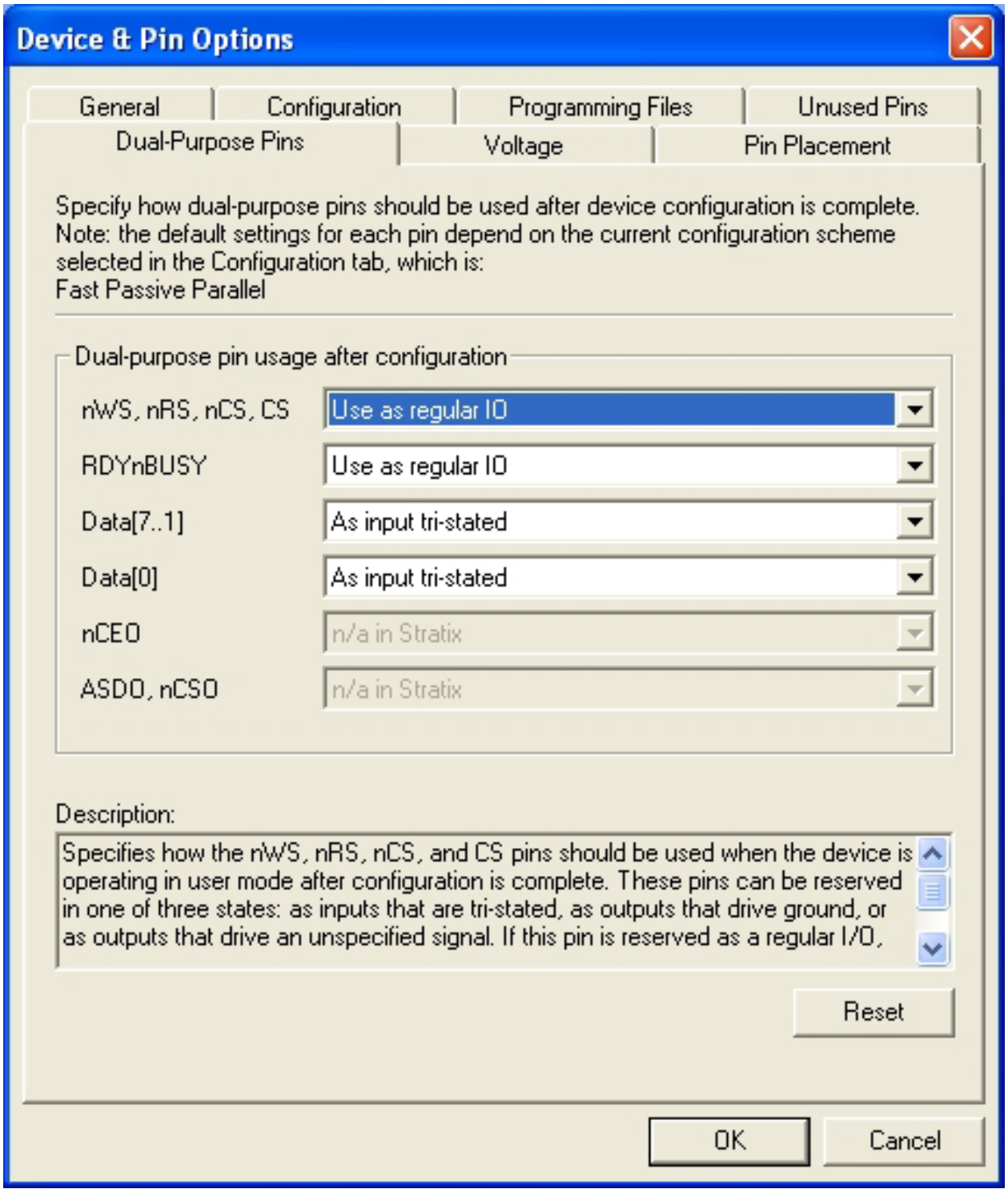
	VCC_CKLK#	VCC_CKOUT#	GND_CKLK#	GND_CKOUT#
Stratix / GX	1.5v	1.5v / 2.5v / 3.3v		
Cyclone	1.5v	1.5v / 2.5v / 3.3v	GND 로 연결	GND 로 연결
APEX20KE	1.8v	1.8v / 2.5v / 3.3v		

Clock 과 관련한 pin 이름 중에서 마지막에 나오는 P 혹은 N 은 각각 Positive 와 Negative 를 의미하며 LVDS 와 같은 differential 신호인 경우에는 pair 로 P/N 이 동시에 사용되며 LVTTL 과 같은 신호는 P 만 사용됩니다.

2.2 Dual Purpose I/O

Quartus의 Assignments -> Device -> Device & Pin Options -> Dual-Purpose Pins에서는 디바이스 configuration이 완료된 후에 user I/O 신호로 사용 가능한 핀들에 대한 설정이 가능합니다.

주) 이 각각의 핀들에 대한 기본 설정은 " Configuration" 항목에서 설정한 configuration 방법에 따라서 달라 집니다.

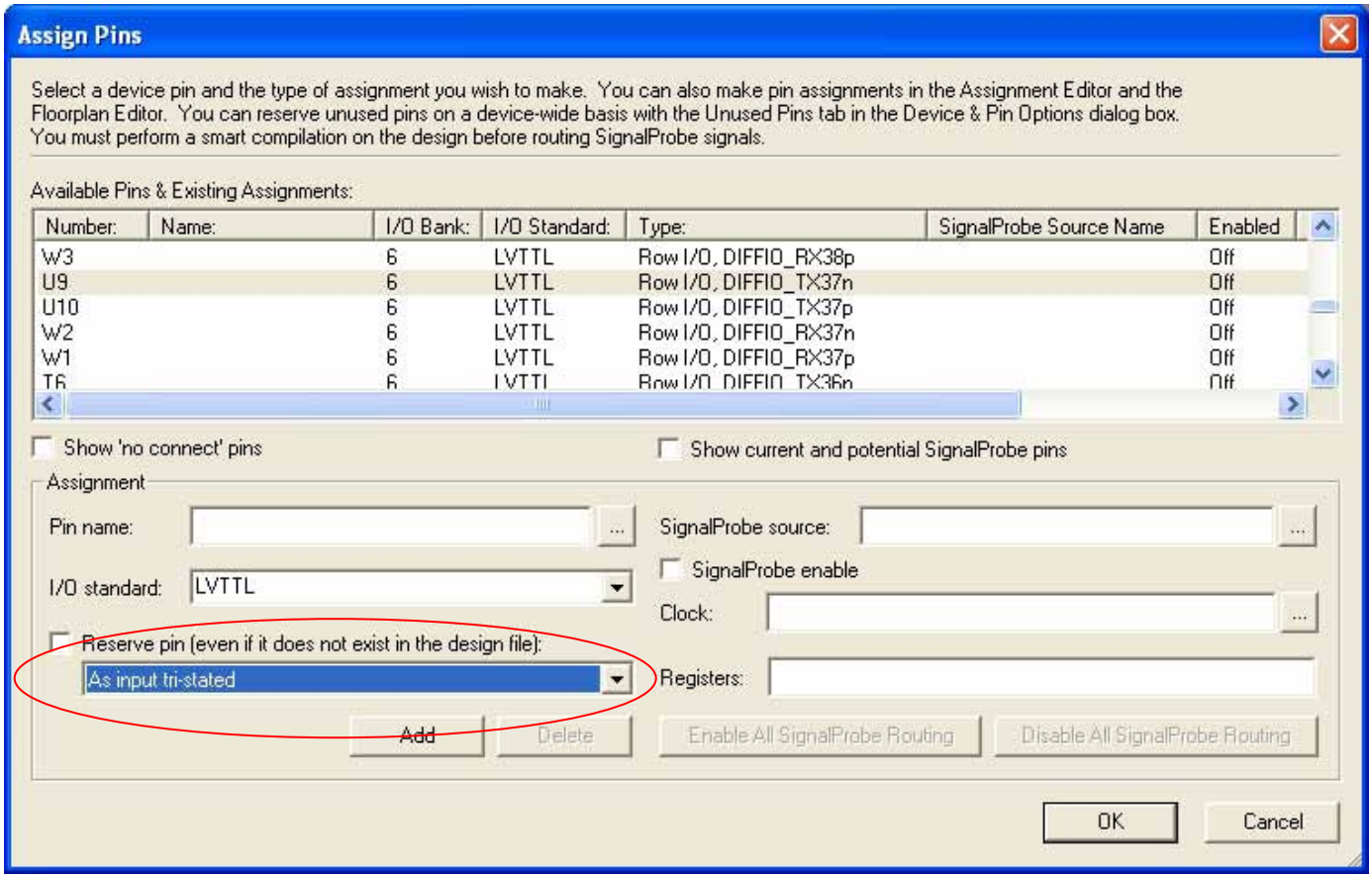

Device & Pin Options
General
Configuration
Programming Files
Unused Pins
Dual-Purpose Pins
Voltage
Pin Placement
Specify how dual-purpose pins should be used after device configuration is complete.
Note: the default settings for each pin depend on the current configuration scheme selected in the Configuration tab, which is:
Fast Passive Parallel
Dual-purpose pin usage after configuration
nWS, nRS, nCS, CS
Use as regular IO
RDYnBUSY
Use as regular IO
Data[7..1]
As input tri-stated
Data[0]
As input tri-stated
nCEO
n/a in Stratix
ASDO, nCSO
n/a in Stratix
Description:
Specifies how the nWS, nRS, nCS, and CS pins should be used when the device is operating in user mode after configuration is complete. These pins can be reserved in one of three states: as inputs that are tri-stated, as outputs that drive ground, or as outputs that drive an unspecified signal. If this pin is reserved as a regular I/O,
Reset
OK
Cancel

2.3 Unused I/O

	Dedicated clk and input pins	Unused JTAG pins (NOT using JTAG)	PLL-related pins	General IOs
MAX 7000A, 7000S, 7000E, 7000	GND - 만일 dedicated 입력 핀들이 floating 되면, 과도한 전류가 흘러 핀과 디바이스에 충격을 줄 수 있습니다	IO 로 사용 가능	없슴	GND 로 반드시 연결합니다. 사용자 모드동안 사용하지 않은 IO 의 상태가 unknown 입니다. 그래서, 핀들이 low 혹은 high 로 switching 할 수 있습니다.
MAX 7000AE, 7000B	GND - 만일 dedicated 입력 핀들이 floating 되면, 과도한 전류가 흘러 핀과 디바이스에 충격을 줄 수 있습니다	IO 로 사용 가능	없슴	GND 로 연결하거나 혹은 연결하지 않습니다.
ACEX & FLEX	GND - 만일 dedicated 입력 핀들이 floating 되면, 과도한 전류가 흘러 핀과 디바이스에 충격을 줄 수 있습니다	AN 39	VCC_CLKLK 와 GND_CLKLK 에 PLL 전용의 분리된 전원과 ground 를 연결합니다. 만일 PLL 을 사용하지 않으면, VCC_CLKLK 는 VCCINT 그리고, GND_CLKLK 는 GNDINT 에 각각 연결합니다.	GND 로 반드시 연결합니다. 사용자 모드동안 사용하지 않은 IO 의 상태가 unknown 입니다.

APEX & Cyclone & Stratix			CLKLK_FB1p 과 CLKLK_FB2p 는 반드시 GND 에 연결하며. CLKLK_OUT1p 과 CLKLK_OUT2p 는 연결하지 않습니다. CLKLK_ENA 는 VCCINT 에 연결 할 것을 권장하지만, GND 도 연결 가능합니다. VCC_CLKLK 과 GND_CLKLK 에는 PLL 전용으로 분리된 전원과 GND 를 연결합니다. 만일 PLL 을 사용하지 않으면, VCC_CLKLK 는 VCCINT 그리고, GND_CLKLK 는 GNDINT 에 각각 연결합니다. VCC_CLKOUT 과 GND_CLKOUT 은 PLL 의 외부 출력을 위한 전원과 GND 입니다. 만일 PLL 과 PLL 의 외부 출력을 사용하지 않으면, VCC_CLKOUT 과 GND_CLKOUT 에는 각각 디바이스의 VCCIO 혹은 GNDIO 를 연결합니다.	
	GND - 만일 dedicated 입력 핀들이 floating 되면, 과도한 전류가 흘러 핀과 디바이스에 충격을 줄 수 있습니다.	AN 39		사용자가 상태를 정의 할 수 있습니다.

사용하지 않는 user I/O 들은 아래 그림처럼 Quartus II 의 Assignment -> Assign Pins 항목에서 Reserve Pin 핀에 대하여 설정 할 수 있습니다.



3. Configuration

PLD 에서는 configuration 과정을 통하여 설계된 디자인 데이터를 디바이스로 전달하여 프로그램하게 됩니다. Configuration 은 크게 ISP(In System Program)와 ICR(In Circuit Reconfiguration)로 나뉘는데 간단하게 ByteBlaster 를 사용하면 ISP 가 되고 EPC 와 같은 외부 전용 메모리를 사용하면 ICR 이 됩니다.
사용하는 인터페이스로는 크게 Altera 전용 모드인 PS(Passive Serial) 와 업계 표준인 JTAG 모드가 있습니다. 그밖에 여러가지 configuration 방법이 있으며 아래 표에서 참조하시기 바라겠습니다.

Table 1–1. Configuration Scheme Device Family Support

Configuration Scheme	Device Family							
	Stratix, Stratix GX	Cyclone	APEX II	APEX 20K, APEX 20KE, APEX 20KC	Mercury	ACEX 1K	FLEX 10K, FLEX 10KE, FLEX 10KA	FLEX 6000
Passive Serial (PS)	✓	✓	✓	✓	✓	✓	✓	✓
Active Serial (AS)		✓						
Fast Passive Parallel (FPP)	✓		✓					
Passive Parallel Synchronous (PPS)				✓	✓	✓	✓	
Passive Parallel Asynchronous (PPA)	✓		✓	✓	✓	✓	✓	
Passive Serial Asynchronous (PSA)								✓
Joint Test Action Group (JTAG)	✓	✓	✓	✓	✓	✓	✓	*(1)*

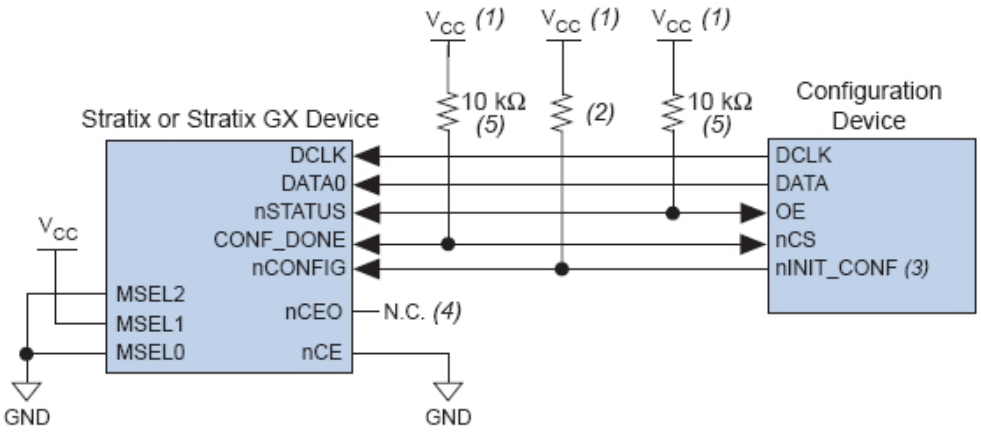
3.1 Passive Serial

가장 많이 사용하는 Passive Serial 모드에서는 DCLK / DATA0 / nSTATUS / nCONFIG / CONF_DONE 핀이 사용되며 아래 그림처럼 nSTATUS / nCONFIG / CONF_DONE 신호에는 각각 Pull-up 저항이 연결됩니다. 아래 두 그림은 PS 모드를 사용하는 가장 기본적인 configuration 회로로, 첫번째는 Stratix / GX 디바이스와 EPC 디바이스, 두번째는 Stratix / GX 디바이스와 ByteBlaster 사이의 연결을 보여 주고 있습니다.

만일 Stratix 가 아닌 다른 device 를 사용하시는 경우에는 Configuration Handbook 을 참고하세요.

http://www.altera.com/literature/hb/cfg/config_handbook.pdf

3.1.1 Passive Serial with Configuration Device



Note

(1) Pull-up 저항은 configuration device 와 같은 전원으로 연결해야 합니다.

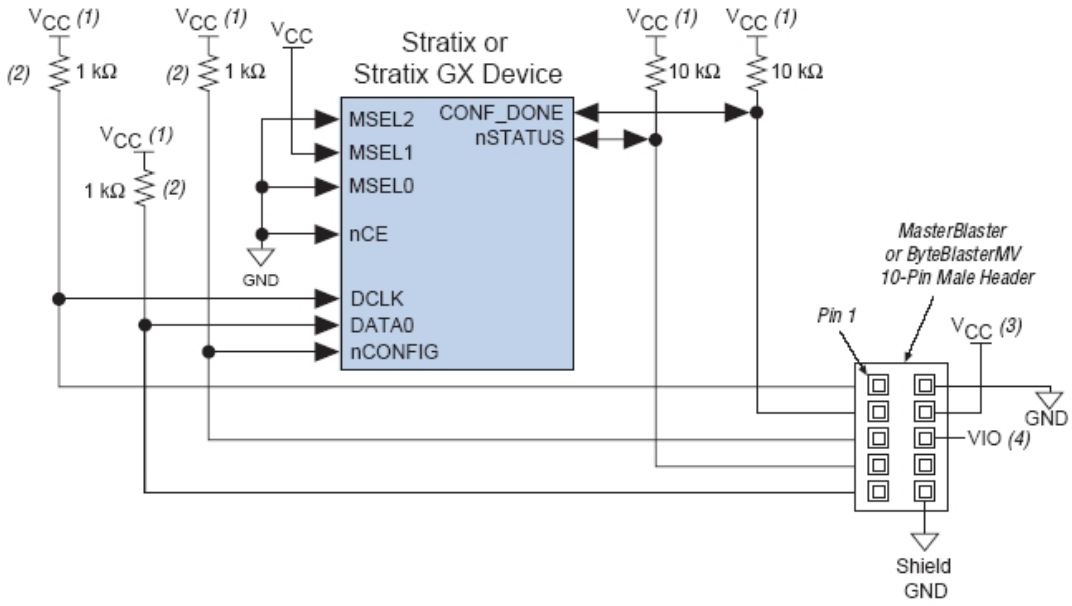
(2) 위에서 10k ohm 의 Pull-up 저항을 사용했는데 EPC16/8/4/2 의 경우 OE 와 nCS 핀에 내부 pull-up 저항을 가지고 있으므로, 만일 이 내부 pull-up 저항을 사용하면 두 핀들에 대한 외부 pull-up 저항은 필요 없습니다.

(3) nINIT_CONF 핀은 EPC16 / 8 / 4 / 2 에 존재하는데, 만일 nINIT_CONF 를 사용하지 않으면 nCONFIG 는 반드시 pull-up 을 해야 합니다.

(4) 여러 FPGA 를 chain 으로 연결하였을때 가장 마지막 FPGA 의 nCEO 핀은 연결하지 않습니다.

(5) CONF_DONE 과 nSTATUS 핀에 사용하는 pull-up 저항은 항상 10k ohm 이어야 합니다. 그리고, CONF_DONE 과 nSTATUS 신호가 3.3v 혹은 2.5v 로 pull-up 된 경우에만 내부 pull-up 저항을 사용 할 수 있습니다.

3.1.2 Passive Serial with Download Cable



(1) Pull-up 저항은 다운로드 케이블에 연결한 같은 전원에 연결한다.

(2) DATA0 와 DCLK 핀에 사용하는 pull-up 저항은 오직 다운로드 케이블만을 사용하는 모드에서 필요하게 되며, 만일 configuration 디바이스를 함께 사용하는 경우에는 pull-up 저항은 필요하지 않습니다.

(3) MasterBlaster 와 ByteBlasterMV 케이블에는 3.3v 혹은 5.0v 의 Vcc 전원을 공급합니다.

(4) 헤더의 6 번핀은 MasterBlaster 의 출력 driver 를 위한 Vio 레퍼런스 전압으로 디바이스의 Vccio 와 같아야 합니다. ByteBlasterMV 에서는 이 핀을 연결하지 않습니다.

주) Configuration 관련한 보다 상세한 내용은 아래 주소에 있는 Configuration Handbook 을 참고하세요.

http://www.altera.com/literature/hb/cfg/config_handbook.pdf

- Configuration 전용 핀
  - 아래 핀들은 configuration 전용 핀으로
  - 디바이스가 동작중에 사용자 I/O 로 사용 할 수가 없습니다.

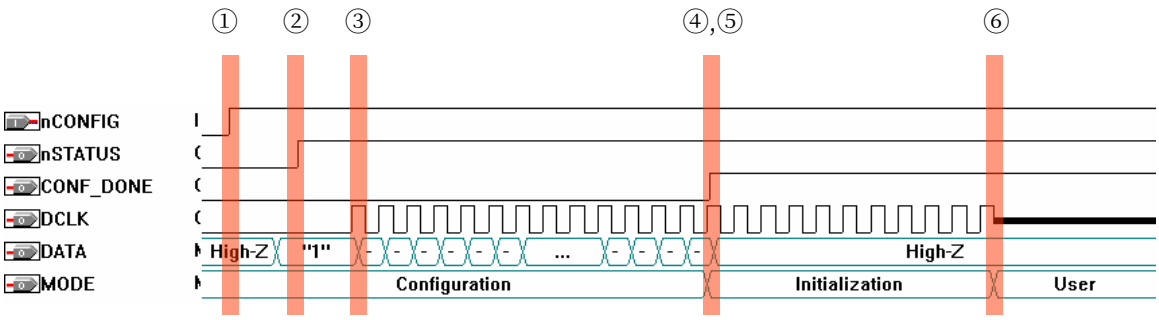
nSTATUS CONF_DONE MSEL DCLK
nCONFIG nCE nCEO DATA0
TDI TDO TCK TMS TRST

- Dual-Purpose Configuration Pins

- 만일 아래 핀들을 configuration 용으로 사용하지 않으면 user I/O 로 사용 할 수 있습니다.

INIT_DONE **CLK_USR** **DATA[7..1]** **RDYnBUSY**

nWS **nRS** **nCS** **CS**



❶ **nCONFIG** 가 Low 에서 High 로 변하면, Configuration 이 시작됩니다.

- MSEL 입력값으로 Configuration 모드를 결정합니다.

❷ Pull-up 저항이 **nSTATUS** 를 High 로 끌어 올립니다.

❸ Configuration 데이터는 **DCLK** 의 rising edge 에서 동기되어 전달됩니다.

- **DATA0** (Serial)
- **DATA[7..0]** (Parallel)

■ 만일 configuration 중에 에러가 발생하면 **nSTATUS** 신호가 low 로 됩니다.

❹ Configuration 이 완료되면 **CONF_DONE** 신호가 High 로 됩니다.

❺ 디바이스에 따라서 초기화에 필요로 하는 clock 수가 각각 다릅니다.

- Registers 리셋
- User I/O 활성화
- Operation 시작

❻ 디바이스가 User Mode 로 들어 갑니다.

■ 디바이스를 Reconfigure 하려면, **nCONFIG** 를 Low 로 하였다 High 로 변경하면 됩니다.

- 모든 사용자 I/O 핀들은 Tri-State 가 됩니다
-

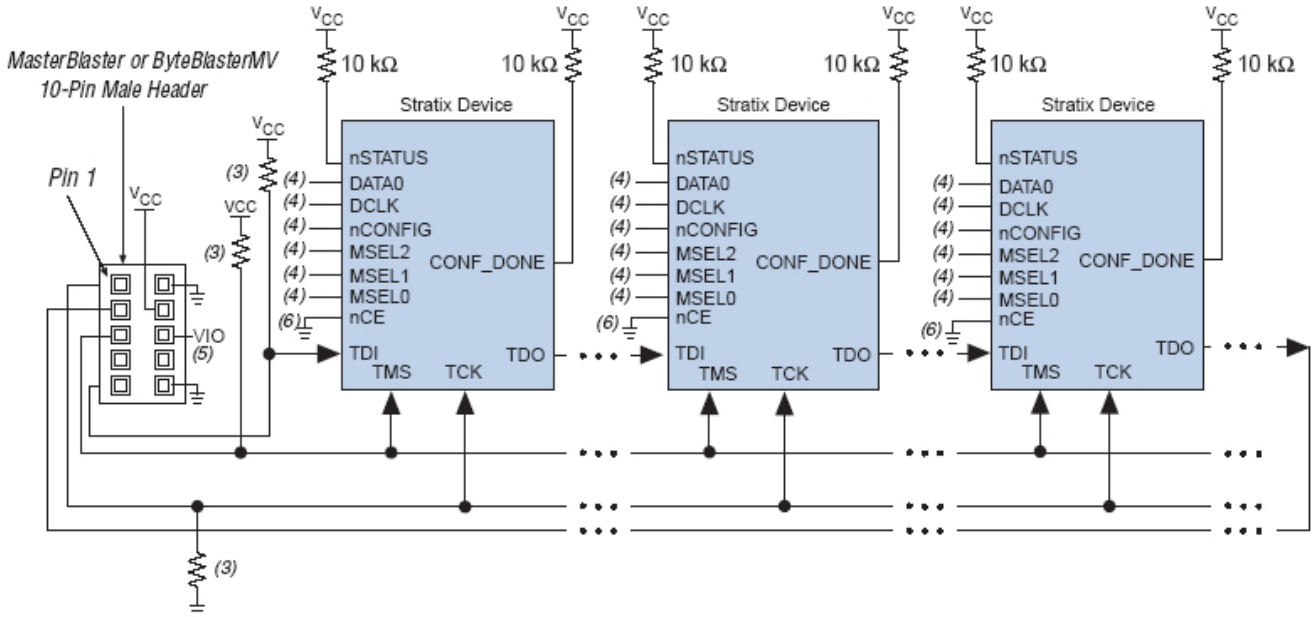
■ INIT_DONE

- 디바이스가 초기화 되었는지 알수 있는 핀으로 디폴트 상태가 off
- Configuration 관련된 신호중의 하나로
  - Configuration 이나 초기화 중에는 low 입니다.

■ 초기화의 마지막 단계에서 발생합니다

3.2 JTAG

JTAG 에서는 아래와 같이 4 개의 신호 (TDI, TDO, TCK, TMS)가 사용되고 각각 pull-up 및 pull-down 저항을 연결합니다.
여러 개의 JTAG 호환 가능한 디바이스를 연결할 때는 그림처럼 앞 디바이스의 TDO 출력과 다음 디바이스의 TDI 입력을 서로 연결합니다.



(3) Pull-up / Pull-down 저항은 10k ohm 입니다.

(4) 만일 오직 JTAG configuration 모드만 사용하다면 nCONFIG 는 Vcc, MSEL0 / 1 / 2 는 GND 에 연결하세요. 그리고, DATA0 과 DCLK 는 "high" 혹은 "low"로 pull-up 혹은 down 합니다.

(5) Vio 는 MasterBlaster 의 출력 드라이버를 위한 레퍼런스 전원으로 디바이스의 Vccio 와 같아야 합니다.

(6) 올바른 JTAG configuration 위하여 nCE 입력은 반드시 GND 나 "low"에 연결하시기 바랍니다.

4. Debugging Configuration Problem

4.1 Configuration Reliability

알테라 FPGA 구조는 시스템에서 전원 공급장치와 데이터 노이즈의 효과를 최소화 하도록 설계되어 있습니다. 그리고, configuration 과정과 설계한 로직이 동작하는 사용자 모드동안에 configuration 데이터에 오류가 발생하지 않도록 합니다. 이를 위하여 SRAM 공정 기술로부터 가능한 최상의 신뢰도를 유지하기 위하여 여러가지 종류의 회로를 포함하고 있습니다.

각각의 Configuration 데이터 프레임을 보장하기 위하여 CRC (Cyclic Redundancy Code) 회로를 사용하고 있습니다. 만일 디바이스에 의하여 계산된 CRC 가 데이터 프레임안에 저장된 CRC 값과 일치하지 않으면, configuration 과정은 중단이 되고, FPGA 는 오류가 발생했음을 알리기 위하여 nSTATUS 핀을 low 로 출력합니다. CRC 회로는 노이즈가 발생하는 시스템에서 불완전한 configuration 이 발생하지 않도록 합니다.

또한, 디바이스 구조는 저전압 brown-out 조건에서 높은 신뢰도를 제공합니다.
디바이스의 SRAM 셀 구조는 정확한 데이터를 유지하기 위하여 특정 전압 레벨을 요구하게 됩니다. 이 전압 threshold 는 디바이스의 POR (Power On Reset)회로를 동작시키는데 필요한 전압보다 현저하게 낮습니다. 그래서, 만일 Vcc 전압에 문제가 발생하면, target 디바이스는 동작을 중단하게 되며, nSTATUS 핀을 low 로 출력하여 동작 오류를 알려 주게됩니다.
이때, 디바이스는 반드시 다시 프로그램 되어야 합니다.
Configuration 방법에서 nCONFIG 를 Vcc 에 연결하면, Vcc 가 적절한 레벨로 돌아오자마자 Reconfiguration 이 시작됩니다. nSTATUS 핀에 low 펄스를 가하면 OE 를 low 로 출력함으로써 configuration 을 리셋하게 됩니다.
외부에 Host 를 사용하는 configuration 방법에서, 전원 공급장치가 최소한의 동작 전압으로 돌아 온 후에 시스템은 nCONFIG 를 high 로 출력함으로써 reconfiguration 과정을 시작합니다.
이런 디바이스의 기능은 폭넓고 다양한 환경에서 가능한 최고의 신뢰도를 가지도록 해주며, 다른 Altera PLD 들에서와 같은 시스템 신뢰도를 제공합니다.

4.2 Board Layout Tips

비록 DCLK 신호 (동기 configuration 방법에서 사용하는)가 일반적으로 낮은 주파수의 신호일지라도, DLCK 는 Altera FPGA 디바이스에 있는 edge-trigger 되는 핀으로 출력되고

있습니다. 그래서, 임의의 오버슈트, 언더슈트, 또는 다른 노이즈는 configuration 에 영향을 줄 수 있습니다. 보드를 디자인 할 때 클럭 라인을 배치할 때 사용하는 같은 기술적 방법을 사용하여 DCLK 라인을 배치합니다. JTAG 에서 사용하는 TCK 라인 역시 마찬가지 입니다. DATA 의 set-up 과 hold 타임은 DCLK 신호가 연관되어 있으므로, DATA 와 DCLK 라인이 알맞게 배치되었는지 확인하여야 합니다.

여러 개의 디바이스를 하나의 체인에서 프로그램 할 때, Altera 는 DCLK, DATA0, (DATA[7..0]), nCONFIG, nSTATUS, 그리고 CONF_DONE 신호들을 모든 디바이스에 대하여 함께 연결하도록 권장하고 있습니다. 이는 각각의 디바이스가 동시에 configuration 을 시작하고 종료되는 지를 확인하기 위해서 입니다.
더하여, 만일 하나의 디바이스가 에러를 검출하고 nSTATUS 를 low 로 하였을 때, 체인에 있는 모든 디바이스는 리셋되고 configuration 을 다시 시작 하게 됩니다.
프로토타입 환경에서 각각의 디바이스에 대하여 nSTATUS 와 CONF_DONE 신호에 Vcc 로 pull-up 을 하게 되면 디버깅 목적으로 유용하게 됩니다.
이는 각각의 nSTATUS 신호를 모니터링하거나 또는 하나의 디바이스가 CONF_DONE 핀을 릴리즈 하는지 여부에 의하여, configuration 동안 어떤 디바이스가 오류를 발생하고 있는지를 알 수 있습니다.

여러 디바이스가 configuration 체인에 있는 경우, configuration 신호는 signal integrity 와 클럭 스큐를 방지하기 위하여 버퍼링을 필요로 합니다. 특히, DCLK 와 DATA 라인들은 네번째 디바이스 마다 버퍼링을 하였는지 확인해야 합니다.
JTAG 체인인 경우에는 모든 디바이스에 대하여 TCK, TDI, 그리고 TMS 라인들을 버퍼링해야 합니다.

Configuration 디바이스를 사용 할 때, configuration 디바이스가 모든 프로그램 데이터를 전달한 후 nCS (FPGA 의 CONF_DOEN 에 연결된)핀이 high 로 될때까지 정해진 시간동안 기다리게 됩니다. Enhanced configuration 디바이스에서는 마지막 프로그램 bit 이 전달되고 CONF_DONE 이 high 로 된 후에 64 DCLK 사이클 동안을 기다립니다.
EPC2 디바이스는 16DLCK 사이클을 기다립니다.
만일 configuration 디바이스가 모든 프로그램 데이터를 전달한 후에 nCS 로 부터 high 신호를 받지 못하면, OE 핀 (FPGA 의 nSTATUS 에 연결된)을 low 로 출력하여 오류가 발생하였음을 알려 주게 됩니다. 그래서, 만일 nCS 와 CONF_DONE 핀 사이에 연결을 길게 하면, configuration 오류를 일으키게 되는데, 이는 긴 연결라인로 인하여 capacitance 성분이 추가되게 되어 결과적으로 CONF_DONE 신호의 상승 시간을 느리게 하기 때문입니다.

4.3 Debugging Sugesstions

만일 Altera FPGA 를 프로그램 하는 것과 관련하여 문제를 경험한 적이 있다면, 그 문제점을 찾아내기 위하여 여러가지 방법을 사용했을 것입니다.
다음에 이어지는 내용들은 configuration 과 관련된 문제들이 발생하였을 때 해결에 도움이 될 수 있는 사항들에 대한 내용입니다.

4.3.1 All Configuration Scheme

1. 사용하고 있는 configuration 파일과 보드상에 있는 target 디바이스를 서로 확인 합니다.
2. Configuration 와 JTAG 핀들이 있는 I/O Bank 와 FPGA Vccint 에다 올바른 전원을 공급하고 있는지를 확인 바랍니다.
3. Configuration 관련 된 모든 핀들이 각각의 디바이스 군에 따라서 제안하고 있는 방법으로 올바르게 연결하였는지를 확인 바랍니다.
4. 만일 JTAG 인터페이스를 사용하지 않는다면, FPGA 에 있는 JTAG 핀들이 floating 으로 되어 있지 않아야 하며, configuration 핀 테이블에 명시된 대로 연결되어 있는지를 확인해야 합니다. 왜나하면 JTAG configuration 은 다른 모든 configuration 방법들 보다 우선 순위가 있으므로, 이 JTAG 핀들은 configuration 동안에 floating 되거나 toggling 되면 안되기 때문입니다.
5. 모든 보드에서 나타나는 일반적인 문제인지 혹은 특정한 디바이스에서만 있는 문제인지를 판단하기 위하여 다른 보드에 있는 디바이스를 프로그램 해 봅니다. 만일 다른 보드가 준비 되어 있지 않다면, 디바이스만 다른 것으로 교체해 볼 수도 있습니다.
   만일 오직 한 디바이스만 문제가 확인된다면, 이는 특정 디바이스의 문제가 됩니다.
   하지만, 만일 여러 디바이스에서 문제가 발견되면, 이는 보드 혹은 configuration 과 관련된 설정에 문제가 있다고 할 수 있습니다.
6. DCLK 신호에 오버슈트나 언더슈크 혹은 다른 노이즈가 없는지를 확인합니다.
   DCLK 에 노이즈가 발생하면 이는 configuration 에 영향을 미치게 되어, CRC 오류를 발생하게 됩니다. FPGA 체인에서는 각각의 디바이스에서 DCLK 핀으로부터 가능한 가까운 지점에서 측정해야 합니다.
7. FPGA 가 configuration 데이터를 수신했는지 여부를 확인하기 위하여, INIT_DONE 핀을 확인합니다. INIT_DONE 핀은 Quartus II 에서 “Enable INIT_DONE output option”을 선택하면 활성화 됩니다. INIT_DONE 핀은 open-drain 출력으로 외부에 Vcc 로 연결된 pull-up 저항을 필요로 합니다. 그래서, nCONFIG 가 low 이고 configuration 이 시작할때

로직 high 가 됩니다. INIT_DONE 핀을 활성화 시키는 option 이 FPGA 로 프로그램 된 후 (configuration 데이터의 첫번째 프레임 동안), INIT_DONE 핀은 low 가 됩니다.
만일 INIT_DONE 핀이 high 로 남아 있으면, FPGA 는 configuration 데이터의 시작을 알려주는 파일 헤더를 수신하지 않습니다.

8. 만일 configuration 디바이스 또는 외부의 호스트가 모든 configuration 데이터를 보내고 CONF_DONE 이 high 로 가지 않으면, CONF_DONE 이 Vcc 로 pull-up 되었는지 여부와 혹시 GND 에 연결되거나 보드에서 low 로 연결되었는지를 확인 하십시요.

4.3.2 Multi-Device Configuration Chains

1. 각 디바이스의 SOF 파일을 하나의 configuration 파일로 만들어야 하며 이는 Quartus II 의 “Convert Programming File”에서 할 수 있습니다.
2. Configuration 파일을 만들때에, configuration 파일들의 순서가 보드상의 디바이스 순서와 같은지를 확인하시기 바랍니다.

4.3.3 Using an External Host (e.g., Microprocessor or CPLD)

1. 만일 Altera FPGA 를 프로그램하기 위하여 RBF (Raw Binary File)파일을 사용한다면 각 byte 의 LSB(Least Significant Bit)가 먼저 전달되었는지를 확인하십시요.
만일 순서가 틀리게 파일이 전송되면, configuration 오류가 발생합니다.
2. 해당하는 디바이스 군마다 가지고 있는 모든 타이밍 조건들을 만족하는 지를 확인하기 위하여 DATA / DCLK 또는 nWS 신호를 scope 로 확인하시기 바랍니다.
3. 만일 PPA (Passive Parallel Asyncronous)를 사용하면, nRS 핀이 floating 으로 되어 있지 않은 지를 확인하십시요. 만일 이 핀을 사용하지 않으면 high 로 연결되어야 하며, 그렇지 않으면 configuration 오류가 발생합니다.

4.3.4 Using a Configuration Device

1. Quartus II Programmer에서 “ Verify” 과정을 수행하여 configuration 디바이스가 성공적으로 프로그램 되었는지를 확인하십시요. 만일 configuration 가 정상적으로 프로그램되지 않았다면 FPGA 를 프로그램 할 수 없습니다.

2. 만일 configuration 디바이스로부터 DLCK 또는 DATA 출력이 없다면, 이는 configuration 디바이스가 슬레이브 모드 혹은 idle 상태일 것 입니다.
Configuration 디바이스를 사용시에 FPGA 의 Vccint 전원은 반드시 configuration

디바이스가 POR (Power On Reset)을 종료한 후에 공급해야 합니다.

3. Configuration 동안, 만일 configuration 데이터에서 CRC 오류를 검출 하면 FPGA 가 nSTATUS 를 low 로 출력한다. 만일 configuration 디바이스가 OE 를 low 로 출력하면 모든 configuration 데이터를 수신하였으나 CONF_DONE 이 high 로 되지 않았음을 의미하게 됩니다.
4. 만일 enhanced configuration 디바이스 (EPC4 / 8 / 16)를 사용할 때 모든 핀들이 바르게 연결되었는지를 확인 하십시요.
   PGM 핀들은 floating 되어서는 안되며 configuration 파일이 있는 특정 페이지를 선택 할 수 있도록 설정되어야 합니다. WP# 핀은 하단의 boot 블럭을 프로그램 할 수 있도록 반드시 Vcc 에 연결해야 합니다.
   BYTE# (100 핀 패키지에 있는) 역시 Vcc 에 연결해야 하는데, 그렇지 않으면 프로그래밍 확인 과정에서 실패하게 되고, 결국 configuration 실패로 이어 집니다.
   100 핀 패키지에서 다음 핀들이 외부에서 연결되었는지를 확인 하십시요.
   F-A0 와 C-A0, F-A1 와 C-A1, F-A15 와 C-A15, F-A16 와 C-A16
5. 만일 enhanced configuration 디바이스를 사용할 때 외부의 플래쉬 인터페이스 핀들은 In-system programming 그리고 FPGA configuration 동안 반드시 floating 이거나 tri-state 상태이어야 합니다.

4.3.5 Using JTAG Configuration

1. 모든 JTAG 핀들이 Altera 에서 제시한 방법대로 연결 되었는지를 확인하십시요. 특히, TRST (있는 경우에만)는 Vcc 에 TCK 는 pull-down 저항에 연결되어 있는지 확인 하십시요.
2. 모든 configuration 관련된 핀들이 바르게 연결되었는지를 확인 하십시요.
   특히, nCE 핀은 GND 에 연결했는지 확인하고 JTAG 으로 프로그램 할 때에 low 입력이 되는지를 하는지 확인 하십시요. nCONFIG 핀은 반드시 Vcc 혹은 high 입력이어야 합니다. 또한, CONF_DONE 신호가 다른 디바이스에 의하여 low 로 고정되어 있지 않은지를 확인하여야 합니다. 이는 체인에 여러 디바이스가 있는 경우에 고려해야 할 중요한 사항입니다.
3. TDO 신호가 다음 디바이스의 TDI 입력의 V_{IH}를 만족하도록 충분한 전압을 출력하는지를 확인하십시요. 만일 TDO 핀이 3.3v Vccio 를 사용하는 I/O 뱅크에 있다면, TDO 핀은 3.3v 를 출력합니다.
4. 보드를 디자인할 때, TCK 경로를 배치 할 때 클럭 라인을 배치 할 때 사용하는 같은 방법을 적용합니다. 임의의 언더슈트, 오버슈트 또는 노이즈들은 JTAG configuration 에 영향을 미칠 수 있습니다.

5. TCK 신호에 오버슈트나 언더슈크 혹은 다른 노이즈가 없는지를 확인합니다.
   디바이스 체인에서는 각각의 디바이스에서 TCK 핀으로부터 가능한 가까운 지점에서 측정해야 합니다. DCLK 에 노이즈가 발생하면 이는 configuration 에 영향을 미치게 되어, CRC 오류를 발생하게 됩니다

4.4 Error Detection Circuity

기본적으로 EPC1/2/1441 의 경우 디바이스내에 내장 오류 검출 회로가 있어 FPGA 의 configuration 상태를 모니터링하여 configuration 실패 시 원인을 알려 줄 수 있는 역할을 할 수 있습니다.
Configuration device 는 nCS 핀의 상태를 확인하여 진행상태를 확인 합니다.
즉 nCS 핀이 모든 configuration 데이터가 FPGA 로 보내지기 전에 high 상태로 되면 configuration 디바이스는 오류가 발생했슴을 인지하고 OE(nSTATUS of FPGA) pin 을 low 로 출력합니다.
또한 configuration 디바이스가 모든 configuration 데이터를 보낸후에도 CONF_DONE (nCS of EPC)가 high 가 되지 않으면(configuration 이 성공되지 않으면) EPC 디바이스는 16 클럭 사이클을 기다린후에 OE 을 low 로 출력하고 결국은 nSTATUS pin(FPGA)이 low 로 되어 configuration 이 끝나게 되어있습니다. 만일 auto restart configuration on error option 을 enable 하시면 configuration 을 다시 시도 할 수 있습니다.
FPGA 에서도 error detection scheme 이 있어서 configuration 데이터 를 검증할 수 있게 되어있습니다. FPGA 내부에 CRC(Cyclic Redundancy Code) 오류 검출 회로가 있어서 들어 오는 데이터에 CRC 부분을 체크하여 CRC 오류가 발생하면 nSTATUS pin 을 low 로 출력 합니다.
CRC checking 은 모든 FPGA 에 대하여 수행되어집니다.

4.5 Combination of Configuration Device and JTAG

보통의 경우 Configuration 방법을 한가지만을 사용하지만 경우에 따라서 두 가지 방법을 같이 사용할 수 있도록 설계하는 경우가 있습니다. 주로 Configuration device 를 사용한 Passive Serial 방식과 JTAG Programming 방식을 같이 사용할 수 있도록 회로를 설계할 수 있는데 회로 설계시 주의 사항은 다음과 같습니다.

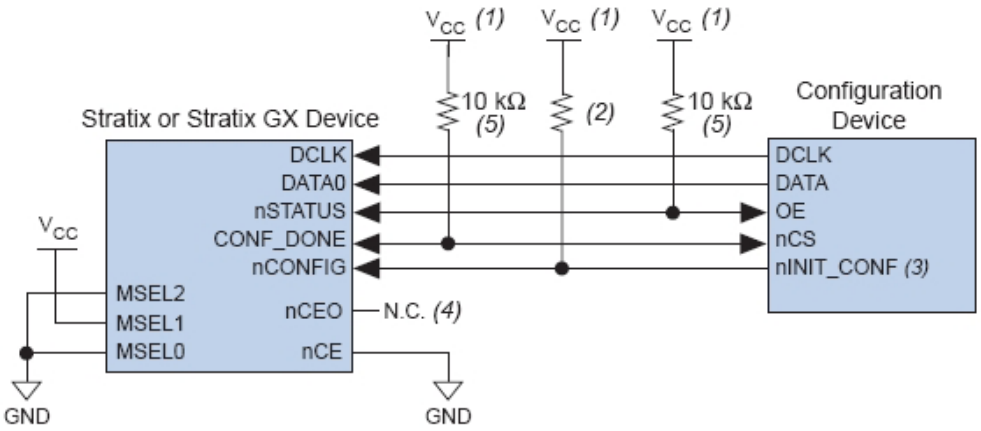


그림 6-1 PS with Configuration device

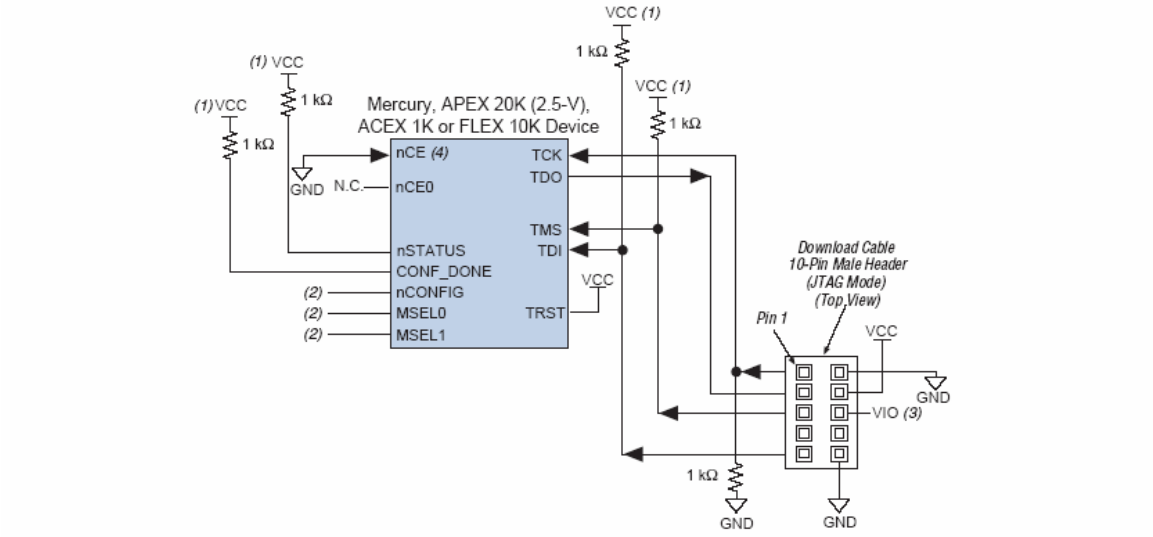


그림 6-2 JTAG programming

그림 6-1 과 6-2 에서와 같이 JTAG Programming 을 지원하기 위해서는 CONF_DONE, nSTATUS 이 pull-up 1k ohm 저항을 통해 VCC 에 연결 되어야 합니다, 그런데 이 부분이 configuration device 를 사용한 Passive Serial Programming 방법과 상충되기 때문에 이 두 핀 처리를 configuration scheme 에 따라서 선택 할 수 있도록 처리가 필요 합니다. 예를 들어 Jumper setting 을 사용하여 할 수도 있을 것 같습니다.

5. Power Sequence

Altera 는 EPC4 / 8 / 16 과 같은 Enhanced Configuration (이하 EEPC) 디바이스의 Power On Reset (이하 POR)이 완료되기전에 FPGA 로 Vccint 전원을 공급하도록 되어있습니다.
CONF_DONE 신호가 low 로 된 후에 configuration device 의 OE 신호가 high 가 되도록 power up 를 하시면 됩니다.
만일 FPGA 에 power 를 공급하기 전에 EEPC 디바이스가 POR 를 종료하면 pull-up 저항이 이 신호를 high 로 high 로 유지하므로 CONF_DONE 신호는 high 되기 때문입니다.
EEPC 디바이스가 POR 을 종료했을때 OE 신호가 발생되고, pull-up 저항에 의하여 EEPC 디바이스가 OE 신호의 rising edge 에서 nCS 신호를 가져가므로
이 상황에서 DATA 와 DCLK 출력은 toggle 되지 않으며 configuration 은 시작되지 않습니다.
만일 올바르게 power-down 이나 power-up 이 되는 경우에만 EEPC 디바이스가 이 모드를 나갈 수 있게 됩니다.

주) EEPC 디바이스가 제대로 configuration 모드로 들어 갔는지를 확인하기 위하여
EEPC 가 POR 를 종료하기 전에 FPGA 로 power up 이 완료되었는지를 반드시 확인하여야 합니다.

이 Power-up 시퀀스를 확인하는 유용한 방법으로 EEPC 디바이스에 POR time 을 선택 할 수 있는 핀이 있습니다.
EEPC 디바이스는 두가지의 POR 설정값을 가지고 있는데 PORSEL 입력이 "high"일때 2ms 이고 "low" 일때 100ms 가 됩니다. Timing margin 을 고려한다면, 100ms 의 POR timing 을 설정 하면 됩니다.