

자일링스 7시리즈 FPGA 28nm에서 전력소모를 낮추다!(2부)

자일링스는 FPGA 및 시스템의 전력소모를 줄이기 위해 총체적인 접근 방법을 적용하여 7 시리즈 FPGA에서 동적 전력소모를 절감하는데 성공했다. 7 시리즈 FPGA는 기존 세대의 동등한 제품과 비교해 전체 전력소모를 최고 50%까지 줄일 수 있으며, 7 시리즈 FPGA의 최대 공정과 비교할 경우 최대(최악의 경우) 공정에서는 더욱 뛰어난 전력소모 절감을 달성한다(그림 21 참조). 또한 새로운 I/O 기능과 첨단 클럭 및 로직 게이팅 소프트웨어를 활용하여 추가로 전력소모를 줄일 수 있다. 자일링스는 업계에서 가장 낮은 전력의 FPGA를 공급한다.

글: 자밀 휴센(Jameel Hussein), 매트 클레인(Matt Klein), 마이클 하트(Michael Hart)
자일링스 / www.xilinx.com

동적 전력소모 절감

동적 전력소모 공식은 αCV^2f 로, 여기에서 α 는 액티비티, C는 캐패시턴스, V는 전압, f는 클럭 주파수이다. 자일링스는 동적 전력의 모든 요인들을 7 시리즈 FPGA에서 해결했다. 프로세스 노드가 지속적으로 진화함에 따라 동적 전력소모를 절감하는 것은 상당히 까다로운 문제다. 그렇지만 자일링스는 7 시리즈 FPGA에서 동적 전력을 낮추기 위해 새로운 기능을 구현하고 상당한 개선 성과를 거두었다(표 4 참조).

7 시리즈 FPGA는 공정노드

의 축소를 위시하여 기생전류 및 인터커넥트 캐패시턴스를 줄임으로써 동적 전력소모를 25% 이상 절감했다(그림 12 참조).

28 HPL을 통해 제공되는 헤드룸과 제조과정에서의 테스트를 통해 자일링스는 디자이너들이 선택할 수 있는 여지를 제공한다. 디자

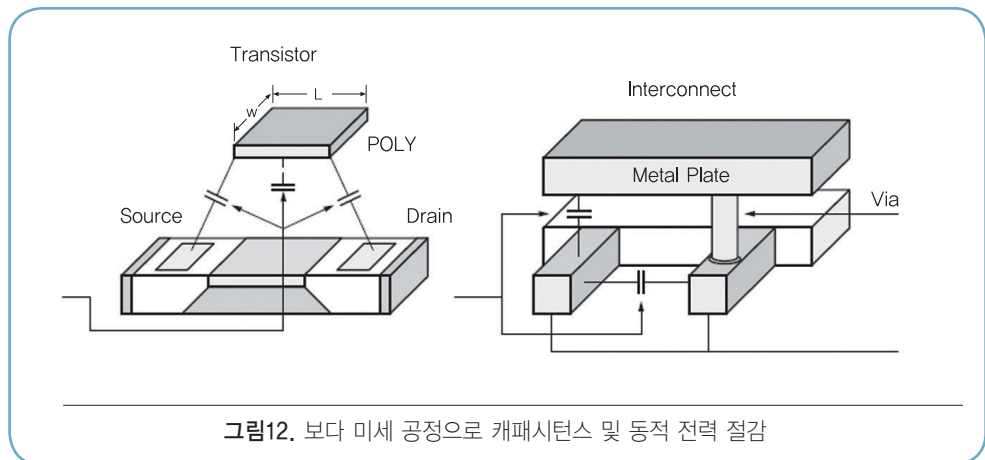


그림12. 보다 미세 공정으로 캐패시턴스 및 동적 전력 절감

절감 기법	전력소모 절감	자일링스의 선택 이유
보다 미세 공정	트랜지스터 및 인터커넥트를 축소함으로써 코어의 동적 전력을 거의 선형적으로 절감	밀도를 높이기 위해 주어진 공간에 더 많은 트랜지스터 집적 가능
온칩 클럭 게이팅 향상	클럭 인에이블 듀티 사이클에 기반함(10%에서 80%까지 달성)	클럭-트리 전력을 줄일 수 있는 소프트웨어로 고객들에게 탁월한 가능성을 제공
통합 블록	전용 메탈 커넥션 사용 및 로직 레이어 최소화로 캐패시턴스를 줄임으로써 소프트-IP 구현방식과 비교해 동적 전력소모를 최고 90%까지 절감	많은 고객들이 필요로 하는 범용 블록 세트를 선택함으로써 자일링스는 뛰어난 성능과 낮은 동적 전력소모를 실현. 정적 전력소모 절감은 표 3 참조
ISE 디자인 툴의 자동 클럭 게이팅	최고 30%까지 동적 전력소모 절감	실리콘의 한계를 극복하는 전력소모 절감 및 고객 디자인에 초점을 둠
전압 스케일링(-1 L 디바이스)	동적 전력은 V_{CONT}^2 와 비례(즉, 10% 낮은 V_{CONT} 에서 20% 절감)	제조 테스트에서 공정 스크린 구현 및 초기 IC 디자인 검증으로 보다 낮은 전력 옵션을 사용자에게 제공

표 4. 7 시리즈 FPGA에서 동적 전력소모 절감

인 레벨에서 -1 L 전압 스케일링 전략을 이용하면, 표준 7 시리즈 FPGA 디바이스 대비 20%의 인스턴트 전력소모를 절감할 수 있다.

FPGA 자체적으로 비교했을 때, 코어의 V_{CC} 를 낮추면 이 전압의 제곱만큼 동적 전력이 항상 감소하지만, 일부 FPGA 제조업체들이 제안하는 것처럼 FPGA와 비교할 때 V_{CC} 에만 해당되는 것은 아니다. 유사한 기능을 가진 일부 블록들의 경우, 비록 자일링스가 더 높은 코어 전압을 사용한다 하더라도 자일링스 FPGA에서는 동적 전력소모가 더 낮다. 이는 캐패시턴스나 내부 클럭 게이팅을 최소화한 매우 효율적인 블록 디자인 때문이다.

자일링스는 몇 가지 방법을 이용해 캐패시턴스를 처리했다. 아키텍처 레벨에서 자일링스 엔지니어는 LUT6 및 통합 메모리 서브 시스템 블록과 같은 기능들을 혁신하는데 주력했다. 또한 클럭 트리 전력을 절감하고 높은 팬아웃 신호를 줄이기 위해 버텍스-6(Virtex-6) FPGA에 사용된 클럭 게이팅과 같은 향상된 기능들이 모든 7 시리즈 FPGA에 포함되었다. LUT6는 여전히 높은 성능과 작은 공간을 제공하며, 캐패시턴스를 낮추고 전력을 절감할 수 있도록 인터커넥트를 간소화한다. 또한 7 시리즈 디바이스의 PCIe와 같은 통합 블록들 또한 소프트 구현방법과 비교해 정적 전력소모를 절감해 주며, 일부 경우에는 최고 90%에 이른다.

주파수는 디자인 목표에 따라 결정되곤 하는데, 여기에는 관련 동

적 전력소모를 가능한 더 많이 줄일 수 있는 방법들이 여전히 존재한다. 대부분의 경우 디자인의 어떤 부분은 100%의 타이밍이 필요하지 않다. 따라서 디자이너는 이 디자인 영역으로 가는 클럭을 중단시키기 위해 클럭 버퍼를 사용할 수 있다. 제로까지 주파수를 떨어뜨림으로써 이 디자인 부분의 동적 전력소모를 근본적으로 차단할 수 있다.

액티비티는 동적 전력 공식의 마지막 부분으로, 이는 얼마나 자주 이 요소가 토글링되는지를 나타내며, 토글링되는 속도를 주파수로 표현할 수 있다. 자일링스는 동적 전력 공식의 액티비티 부분을 해결하기 위해 소프트웨어 최적화 방식을 채택했다. 이 최적화 방식은 버텍스-6 FPGA에서 처음으로 소개되었다.

온-칩 클럭 게이팅

온-칩 클럭 게이팅은 동적 전력소모를 줄일 수 있는 뛰어난 방법이다. 클럭 게이팅을 갖춘 클럭 드라이버는 로직이 사용되지 않는 경우 다이나믹하게 턴-오프하거나 게이팅한다. 이는 코스(Coarse) 시간을 기반으로 턴-온 혹은 턴-오프가 필요한 회로 영역을 정적 상태로 만들거나 단일 클럭 사이클 단위로 동적으로 만들 수 있다. 이전 버텍스 및 스파르탄(Spartan) 디바이스는 디바이스 크기와 상관없이 16개에서 32개의 정적 또는 게이팅이 가능한 글로벌 버퍼(각각 BUFG

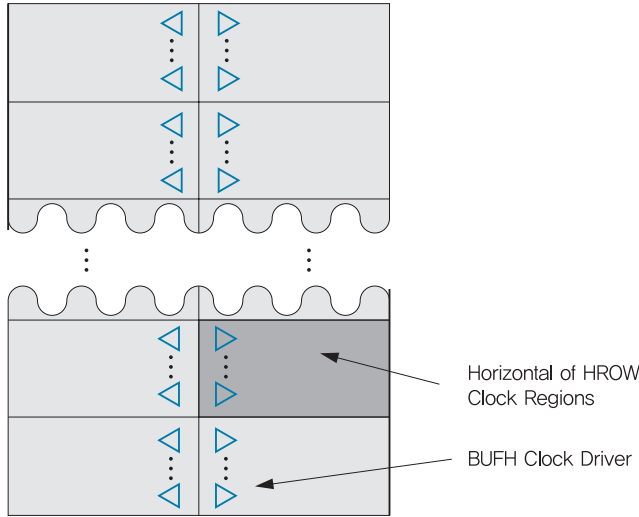


그림13. HROW 클럭 영역 및 BUFH 클럭 드라이버

및 BUFGCE)를 가지고 있다. 그림 13은 FPGA 클럭 영역과 다음 레벨인 가로 열의 버퍼(BUFH)를 보여주고 있으며, 이는 대부분 세대의 FPGA에서 보편적인 것이다. BUFG는 명확하게 하기 위해 생략되었지만, 그림 13에서는 계층적으로 나타나 있다.

각 HROW 영역은 모든 32개의 클럭 버퍼와 액세스할 수 있다. 각 HROW 클럭 영역 안에서 선택된 8~12개의 클럭은 BUFH라 불리는 블록을 통해 버퍼링된다. 이러한 HROW 영역 당 12개의 BUFH는 그림 14에 나타난 것처럼 정적으로 혹은 동적으로 게이팅될 수 있다. 이는 게이트 가능한 고정된 클럭 수(16~32) 대신 벡터스-6 및 모든 7 시리즈 FPGA에서는 디바이스 크기에 따라 클럭 수가 확장됨을 의미한다. 다양한 CE(Clock Enables)를 통해 3가지 레벨의 계층적 클럭 게이팅 및 블록 인에이블링은 전력절감에 있어 최상의 유연성을 제공한다. 가장 큰 7 시리즈 FPGA에는 고객들이 디자인할 수 있는 글로벌로 게이팅이 가능한 클럭과 함께 수백 개의 영역 별로 게이팅이 가능한 클럭이 있다(그림 14 참조).

대부분의 클럭 트리 전력(CV²f)은 실제로 BUHF와 그 이후에 발생하며, 이는 수천 개의 로드가 드라이브 되어야 하기 때문이다. 이 게이팅 레벨을 허용함으로써 동적 전력을 획기적으로 절감할 수 있다. 1천 개의 플립-플롭이나 다른 리소스들을 인에이블하는 높은 팬아웃 CE는 소수의 혹은 하나의 BUFH로 이동될 수 있다(그림 14의 CEY(1-y) 참조). CE가 이제 소수의 로드만을 소싱하기 때문에 팬아웃 드롭 CE 전력을 절감하고, 더욱 중요한 것은 클럭 트리의 전력을 줄인다는 것이다. 더욱 많은 양의 게이팅이 가능한 클럭을 가진 일부 디자인은 인에이블 레이트에 따라 클럭 트리 전력을 30%~80% 가량 절감할 수 있다. 이러한 코스 클럭 게이팅은 디자인이 높은 팬아웃 CE를 포함하고 있는 경우에 적합하다.

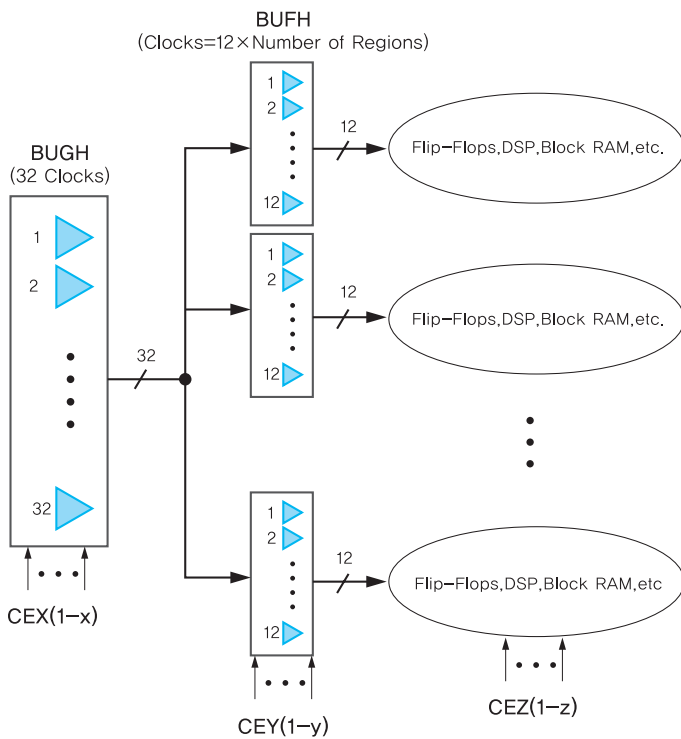


그림14. 클럭 게이팅의 하이-레벨 개요

통합 블록

통합 블록들은 트랜지스터 수를 최소화함으로써 정적 전력을 감소시키지만, 또한 동적 전력에도 큰 영향을 미칠 수 있다. 통합 블록들은 프로그래머블 인터커넥트를 제거하고 트레이스 길이나 로직 레벨을 줄이기 때문에 공간을 줄이고 동적 전력소모를 절감할 수 있다. 이 모든 것을 고려하면, 소프트-IP를 통합 블록으로 대체할 경우 최대 10배까지 전력소모를 절감할 수 있다.

자일링스는 풍부한 통합 블록 세트를 구현하고 있으며, 자사 FPGA를 차별화하는 특징이기도 하다. 7 시리즈 FPGA에서 주목할만한 통합 블록으로는 PCI Express Gen1/Gen2 디자인과 트랜시버(최고 28Gbps)를 통합한 블록이다.

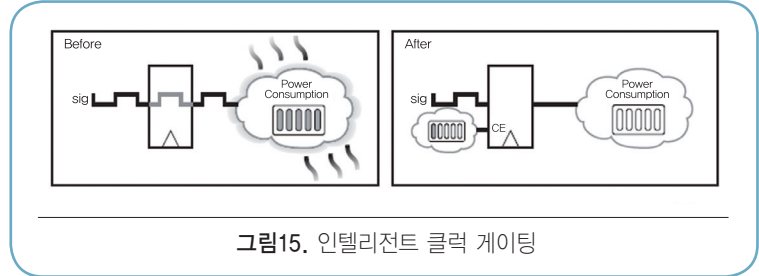


그림15. 인텔리전트 클럭 게이팅

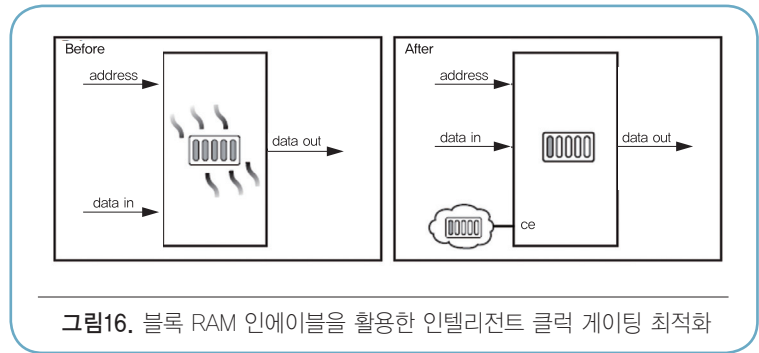


그림16. 블록 RAM 인에이블을 활용한 인텔리전트 클럭 게이팅 최적화

ISE 디자인 툴 자동화된 클럭 게이팅

디자인 툴 측면의 전력 최적화를 위해 자일링스는 FPGA 디자인에서 최고 30%까지 동적 전력을 절감할 수 있는 자동화된 파인-그레인(Fine-Grain) 클럭 게이팅 솔루션을 최초로 선보였다. 이 핵심 기능은 벤틱스-6 및 스파르탄-6 FPGA에 처음으로 도입되었다. 자일링스의 인텔리전트 클럭 게이팅 최적화는 전체 디자인 상에서 자동으로 수행되며, 플로우 상에 새로운 툴이나 단계를 추가할 필요가 없고, 디자인의 동작이 달라지는 기존 로직이나 클럭을 변경할 필요도 없다. 또한 대부분의 경우 타이밍도 유지된다.

ISE 디자인 스위트 12를 발표하면서 자일링스는 디자인의 모든 부분(기존 및 써드파티 IP 블록)에 대한 분석을 수행하기 위해 혁신적인 알고리즘 세트를 이용하는 표준 FPGA 디자인 플로우의 P&R(Place and Route) 부분과 연결이 가능한 자동화 기능을 도입했다. 각 클럭 사이클의 결과에 영향을 주지 않는 레지스터 소싱 출력 로직을 분석함으로써 이 소프트웨어는 7 시리즈 FPGA 로직에서 제공되는 풍부한 CE를 활용한다. 그림 15에 나타난 것처럼, 이 소프트웨어는 파인-그레인 클럭 게이팅이나 로직 게이팅 신호를 생성하며, 불필요한 스

위칭 액티비티를 무효화한다. 또한 플립-플롭 레벨에서 CE는 FF의 D 입력과 플립-플롭 피드백 Q 출력 사이에서 선택하는 것이 아니라 실제로 클럭을 게이팅한다. 이는 CE 입력 성능을 증가시키면서도, 클럭 전력소모 또한 줄여준다. 이는 벤틱스-6 FPGA에서 현실화되었으며, 7 시리즈 FPGA에서는 더욱 향상되었다.

인텔리전트 클럭 게이팅 최적화는 단순 혹은 듀얼-포트 모드에서 전용 블록 RAM을 위한 전력소모도 절감한다. 이러한 블록은 어레이 인에이블, 쓰기 인에이블, 출력 레지스터 클럭 인에이블 등 여러 인에이블을 제공한다. 대부분의 전력소모 절감은 어레이 인에이블을 사용할 때 이뤄지며, 소프트웨어는 쓰여지는 데이터가 없거나 출력이 사용되지 않을 때 전력을 절감하도록 기능을 구현한다(그림 16 참조).

7 시리즈 FPGA에서 이 소프트웨어는 더 많은 디자인 상에서 향상된 전력소모 절감을 실현할 수 있도록 개선되고 있다.

I/O 전력소모 절감

I/O 전력은 갈수록 전체 전력의 상당한 비중을 차지하고 있다.

절감 기법	전력소모 절감	자일링스의 선택 이유
프로그래머블 슬루 레이트 및 구동 강도	I/O 드라이브에서 동적 전력소모 절감	I/O 동적 전력 대비 SI(Signal Integrity)를 위해 다양한 에지 레이트를 선택할 수 있는 능력 제공. 가장 낮은 슬루/전력이 사용됨
3-스테이트 DCI	메모리 읽기 동안 동적으로 어서트할 수 있는 터미네이션으로 메모리 쓰기 동안 터미네이션 전력을 제거	I/O 입력이 사용되지 않을 때 불필요한 터미네이션 전력을 제거
적층형 실리콘 인터커넥트 기술	동등한 크기의 디바이스를 얻기 위해 다중 디바이스를 함께 브릿지하는데 필요한 I/O 커넥션 전력을 10배 절감	동등한 멀티-디바이스와 비교해 탁월한 전력소모 절감
HSLVDCI 시리즈 터미네이션	터미네이션을 분할하고 IODELAY 및 입력 버퍼 전력이 더해지는 것과 비교해 HSLVDCI를 통해 FPGA 입력 구동에서 50%의 입력 전력을 절감	병렬 터미네이션을 수행할 필요없이 고성능 및 싱글-엔디드 I/O 표준 및 보다 낮은 전력을 얻을 수 있는 기능을 사용자들에게 제공
프로그래머블 IODELAY 전력	고성능 대비 70%의 입력 전력소모 절감	성능감소를 최소화하면서 IODELAY 전력을 선택적으로 절감할 수 있는 기능 제공
프로그래머블 레퍼런스 리시버 전력 (HSTL, SSTL, LVDS)	고성능 대비 50%의 입력 전력소모 절감	성능감소를 최소화하면서 입력 리시버의 전력을 선택적으로 절감할 수 있는 기능 제공
IBUF 및 DCI 터미네이션 디스에이블	버스가 IDLE 상태일 때 IBUF 및 DCI 터미네이션의 전력 제거	버스가 사용되지 않을 때 전력 제거. 디바이스에 입력이 되는 동안 I/O의 DC 전류만 소모

표 5. 7 시리즈 FPGA에서 I/O 전력 감소

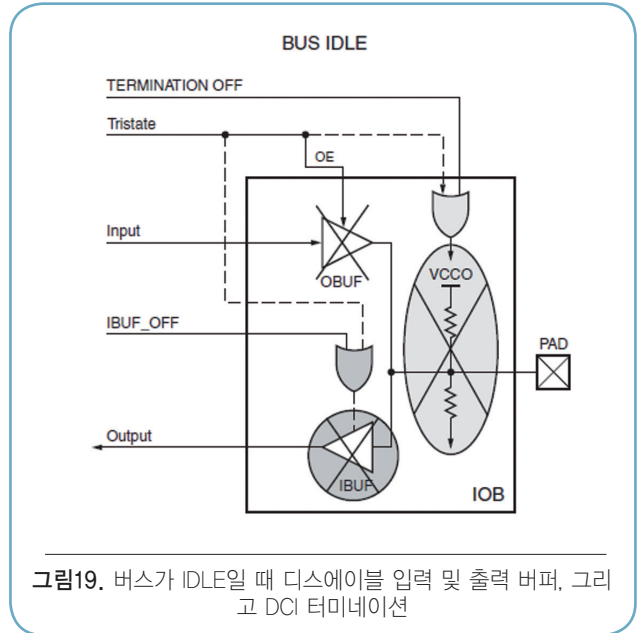
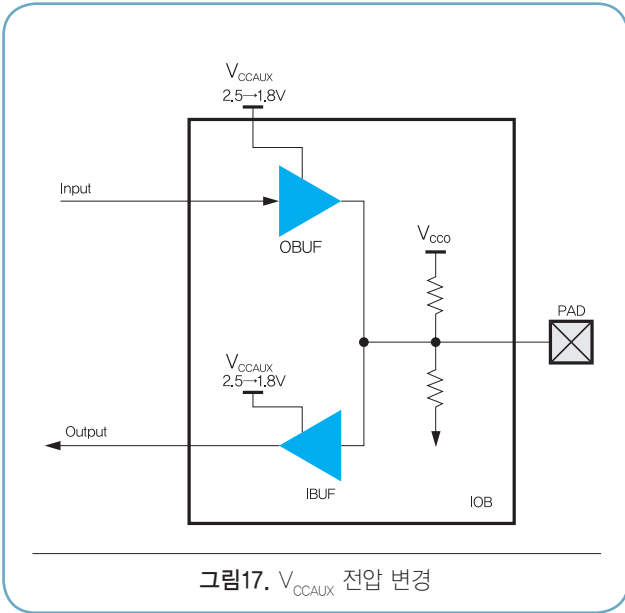
FPGA 세대가 진화함에 따라 코어 전력은 크게 감소했지만, I/O 전력은 그렇지 못하고 있다. 일부 디자인은 전체 전력의 50%를 I/O가 차지하고 있으며, 특히 메모리 집약적 디자인의 경우 더욱 그렇다. 자일링스는 기존 세대에서 I/O 전력절감에 주력해 왔으며, 개선의 여지를 찾아내고 7 시리즈 FPGA에 전력 절감 기법을 구현했다 (표 5 참조).

또한 프로그래머블 슬루 레이트 및 구동 강도와 함께 FPGA에서 FPGA, 저속 메모리 인터페이스에서 획기적으로 전력을 절감하는 HSLVDCI와 같은 특별한 표준들이 있다. 7 시리즈 FPGA에서 자일링스는 고속 메모리 인터페이스에서 전력을 절감하는데 주력했다. 장점은 이러한 전력 절감이 다른 형태의 인터페이스에도 적용이 가능하다는 것이다.

모든 7 시리즈 디바이스는 프로그래머블 슬루 레이트와 구동 강도를 제공한다. 또한 자일링스는 3-스테이트가 가능한 DCI(Digitally Controlled Impedance)를 가지고 있다. 기존 FPGA 제품군에서도 지원되는 이 기능은 7 시리즈 FPGA에서 향상되었으며, 메모리 인

터페이스에서 유용하다. DCI는 FPGA에서 메모리 쓰기가 진행되는 동안 터미네이션 전력을 제거하여 디바이스가 읽기 동안에만 터미네이션 전력을 소모하도록 한다. 일부 경우에는 대략 버스 사이클의 쓰기 비중만큼 터미네이션 전력이 감소된다.

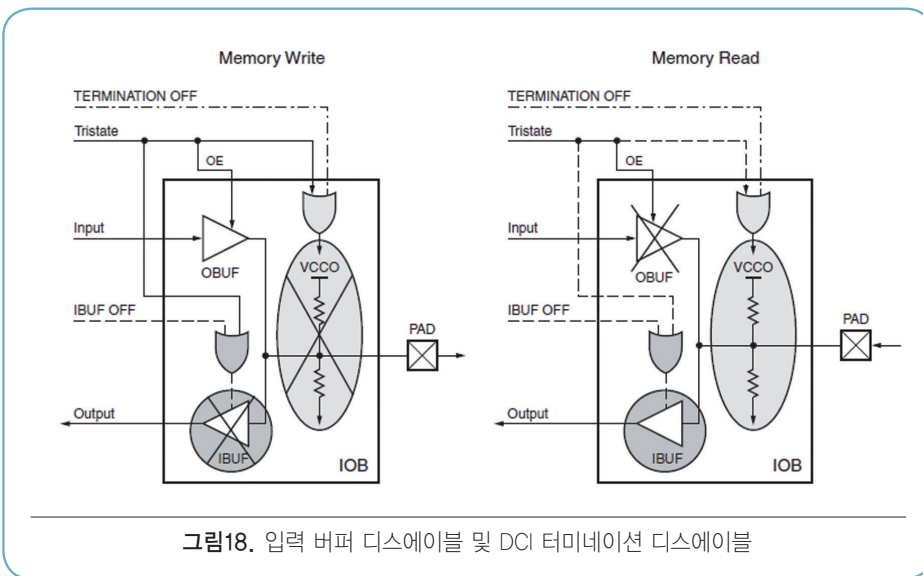
또한 자일링스는 HSLVDCI라 불리는 I/O 표준을 가지고 있는데, 이는 근본적으로 터미네이션을 연속적으로 수행한다. 이는 FPGA에서 FPGA로 갈 때 유용하지만 또한 RDRAM과 같은 외부 메모리 DQ 핀에서 데이터를 캡처하기 위해 사용되는 일부 메모리의 쓰기 기능에서도 장점이 있다. 7 시리즈 디바이스에는 HSTL 및 SSTL을 위해 사용자가 프로그램할 수 있는 레퍼런스 리시버 전력 모드가 있다. 또한 자일링스는 7 시리즈 디바이스에서 프로그래머블 전력 모드를 갖춘 IODELAY 블록을 계속해서 제공한다. 이러한 두 가지 프로그래머블 전력 모드는 I/O 상에서 I/O를 기반으로 제어가 가능하며, 디자이너들이 전력 및 성능 트레이드 오프를 수행하여 DC 전력을 줄일 수 있도록 도와준다.



메모리 인터페이스 전력

메모리 인터페이스용 I/O 전력은 3 가지의 주요 구성요소로 이뤄진다. 첫 번째는 PCB 트레이스의 임피던스와 매칭하기 위해 사용되는 DCI이다. 다음은 레퍼런스-입력 리시버로, I/O 전압을 코어 전압

에 맞게 조정하기 위해 사용한다. 마지막으로는 IDELAY로, 클럭에 신호를 동기화하기 위해 사용한다. 이러한 구성요소들은 상당한 양의 전력을 소모하는데, 벤틱스-6 FPGA의 3-스테이트 DCI는 메모리 쓰기 동안 터미네이션을 자동으로 턴-오프하여 터미네이션 전력을 50%까지 절감한다. 자일링스는 레퍼런스 리시버 및 IDELAY의



저전력 모드를 제공함으로써 고성능 모드와 비교해 각각 70%, 50%의 전력을 절감한다. 이러한 기능은 기존 세대의 동일한 인터페이스에서 소모되는 전력의 50% 이상을 절감할 수 있다. 7 시리즈 FPGA에서 자일링스는 이를 토대로 하여 구현하였으며, 가능한 가장 많은 전력을 절감하기 위해 각 기능을 미세하게 조정하였다.

실제 초보자의 경우, 2.5V에서 1.8V로 V_{CCAUX} 를 낮춤으로써 V_{C-CAUX} 로 전원이 공급되는 모든 아이템, 특히 IDELAY와 입출력 버퍼

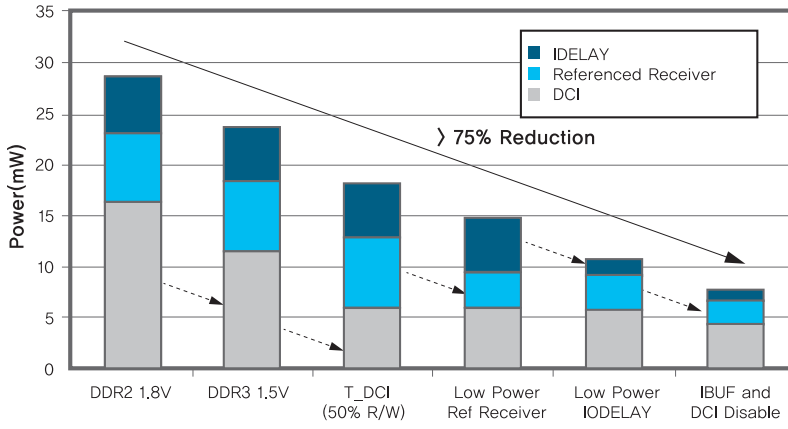


그림20. 7 시리즈 FPGA 입력 전력소모 절감

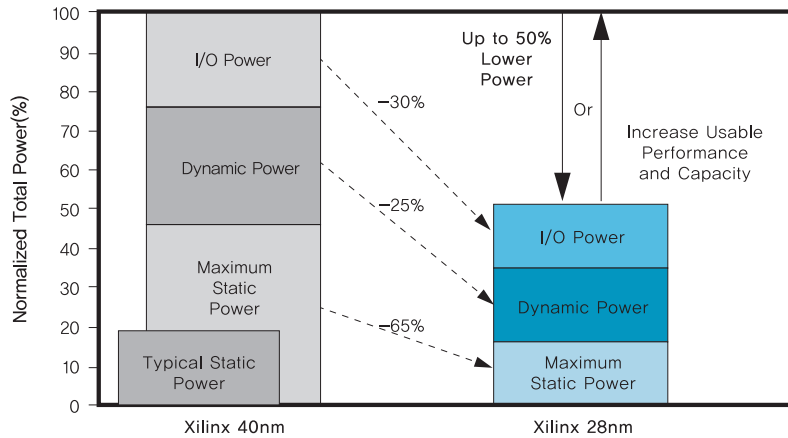


그림21. 자일링스 7 시리즈 FPGA의 총체적인 전력감소 접근방법

에서 30%의 전력을 절감할 수 있다(그림 17 참조).

7 시리즈 FPGA의 새로운 기능은 입력 버퍼를 동적으로 디스에이블하는 능력이다. 이는 다이내믹 3-스테이트 DCI 회로를 확장하고 개선한 것이다. 3-스테이트 DCI 기능은 사용되지 않는 기능을 턴-오프하거나 디스에이블링하는 원리에서 파생된 것으로 메모리에 쓰기를 실행하는 동안 터미네이션 상황이 정확해야 한다. 하지만 기존 세대에서 입력 버퍼는 출력 또는 메모리 쓰기 동안 여전히 전력소모

가 많았다. 7 시리즈 FPGA에서 입력 버퍼는 메모리 쓰기(출력) 동안 디스에이블이 가능하다. 이는 쓰기/읽기 비중이 50%인 경우 전력의 50%를 절감한다(그림 18 참조).

이러한 기능들로 메모리 쓰기 동안 더 많은 전력이 절감되지만, 또한 메모리 인터페이스가 읽기나 쓰기를 하지 않는 경우들도 일부 있다. 이러한 상태는 유휴 상태로 간주되며, 과거에는 DCI 터미네이션과 입력 버퍼가 모두 이 상태에서 전력을 상당히 소모하곤 했다. 7 시리즈 FPGA에서는 DCI나 입력 버퍼, 혹은 둘 모두를 디스에이블할 수 있는 새로운 기능이 추가되었다(그림 19 참조).

7 시리즈 FPGA에서 I/O는 반드시 필요한 경우, 즉 메모리에서 데이터를 읽을 때에만 전력을 소모하기 때문에 쓰기나 유휴 상태에서는 전력을 절감하게 된다. 그 결과 기존 세대의 제품과 비교하면 50%, 그리고 이전 세대의 동일한 인터페이스와 비교하면 75%까지 전력소모를 절감한다(그림 20 참조).

결론

자일링스는 FPGA 및 시스템의 전력소모를 줄이기 위해 총체적인 접근방법을 적

용하여 7시리즈 FPGA에서 동적 전력소모를 절감하는데 성공했다. 7 시리즈 FPGA는 기존 세대의 동등한 제품과 비교해 전체 전력소모를 최고 50%까지 줄일 수 있으며, 7시리즈 FPGA의 최대 공정과 비교할 경우 최대(최악의 경우) 공정에서는 더욱 뛰어난 전력소모 절감을 달성한다(그림 21 참조) 또한 새로운 I/O 기능과 첨단 클럭 및 로직 게이팅 소프트웨어를 활용하여 추가로 전력소모를 줄일 수 있다. 자일링스는 업계에서 가장 낮은 전력의 FPGA를 공급한다. **E**